

LIQUID CRYSTAL DISPLAY DEVICE

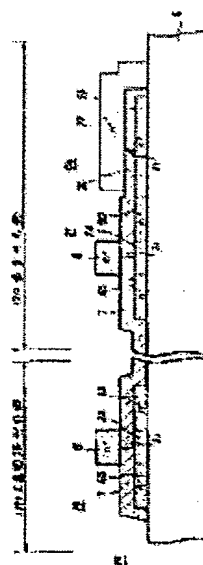
Patent number: JP3280018
Publication date: 1991-12-11
Inventor: HAYASHI HISAO
Applicant: SONY CORP
Classification:
- international: **G02F1/136; G02F1/1333; G02F1/1368; H01L21/336; H01L21/822; H01L27/04; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/04; H01L29/66; (IPC1-7): G02F1/136; H01L27/04; H01L29/784**
- european:
Application number: JP19900081707 19900329
Priority number(s): JP19900081707 19900329

Report a data error here

Abstract of JP3280018

PURPOSE:To assure the holding of the voltage to be impressed to a liquid crystal cell and to lower the driving electric power by forming the dielectric films of the additive capacitors of respective picture elements thinner than the gate insulating films of thin-film transistors (TFTRs) so that the capacity per unit area is larger than the gate capacity per unit area of the TFTRs.

CONSTITUTION:The additive capacitors Cs of the respective picture elements are constituted by forming thin films for constituting the channels of the TFTRs 23 and thin films constituting gate electrodes 8 as both electrodes 25 and 27 and having the dielectric films 26 thinner than the gate insulating films 7 of the TFTRs so that the capacity per unit area is larger than the gate capacity per unit area of the TFTRs. The voltage to be impressed to the liquid crystal is, therefore, surely held and since the gate capacity of the TFTRs 23 decreases, the input capacity of a scanning circuit part is decreased and the driving electric power is decreased. The liquid crystal display device which can decrease the driving electric power and hold the voltage of the liquid crystal cell is obtd. in this way.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-280018

⑬ Int. Cl.⁵G 02 F 1/136
H 01 L 27/04
29/784

識別記号

5 0 0

C

庁内整理番号

9018-2K
7514-4M

⑭ 公開 平成3年(1991)12月11日

9056-4M H 01 L 29/78 3 1 1 C

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平2-81707

⑰ 出 願 平2(1990)3月29日

⑱ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 液晶表示装置

特許請求の範囲

薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、

各画素の付加容量は、上記薄膜トランジスタのチャンネルを構成する薄膜とゲート電極を構成する薄膜を両電極として該両電極間に上記薄膜トランジスタのゲート絶縁膜より薄い誘電体膜を有し、単位面積当りの容量が上記薄膜トランジスタの単位面積当りのゲート容量より大となるように構成されて成る液晶表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブマトリックス方式の液晶表示装置に関する。

(発明の概要)

本発明は、薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、各

画素の付加容量を、その誘電体膜を薄膜トランジスタのゲート絶縁膜より薄くして単位面積当りの容量が薄膜トランジスタの単位面積当りのゲート容量より大となるように構成することによって、液晶セルに印加される電圧の保持を確実にすると共に薄膜トランジスタで構成される走査回路部における入力容量を低減し、駆動電力の低減化を図るようにしたものである。

(従来の技術)

アクティブマトリックス方式の液晶表示装置における1画素の構成は、第5図の等価回路図で示すように、液晶セル(1)に対して1つのスイッチング用薄膜トランジスタ(2)と付加容量Csを有し、薄膜トランジスタ(2)のソースが信号線(3)に接続され、ドレインが液晶セル(1)の透明画素電極に接続され、ゲートが選択線(4)に接続されて成る。具体的構造は、第6図に示すようにガラス等からなる透明の絶縁基板(5)上にスイッチング用薄膜トランジスタ(2)のチャンネルを構成する第1層目の多結晶シリ

特開平3-280018(2)

コン膜(6)が形成され、この多結晶シリコン膜(6)上にゲート絶縁膜(7)を介して第2層目の多結晶シリコン膜によるゲート電極(8)が形成され、ゲート部を挟んでソース領域(6S)及びドレイン領域(6D)が形成される。ゲート電極(8)は選択線(4)と共用される。ゲート電極(8)を覆うように全面に第1の絶縁膜(9)が形成され、第1の絶縁膜(9)のコンタクトホールを介して例えばAlによる信号線(3)がソース領域(6S)に接続される。さらに全面に第2の絶縁膜(10)が被着形成され、この第2の絶縁膜(10)上に例えばITO(酸化インジウム錫)膜による透明画素電極(11)が形成され、その一部が第1及び第2の絶縁膜(9)及び(10)を通して形成したコンタクトホールを介して薄膜トランジスタ(2)のドレイン領域(6D)に接続される。そして、内面に配線部分(選択線(4)、信号線(3)等が存在する部分)及び薄膜トランジスタ(2)に対応する箇所に光遮蔽層(12)が形成され、光遮蔽層(12)を含む全面に対向電極(13)が形成されたガラス等からなるもう一方の透明絶縁基板(14)が絶縁基板(5)に対向して配され、

上述の走査回路部を同一の基板(5)上に形成したアクティブマトリックス方式の液晶表示装置においては、画素のスイッチングトランジスタ(2)と走査回路部が同一の薄膜トランジスタによって構成される。ここで、走査回路部は外部からの信号入力部となるために、トランジスタの入力容量(ゲート容量)は小さい方が駆動電力が小さくてよいので望ましい。しかし、入力容量を小さくするように薄膜トランジスタを形成した場合、之と同じ工程で作られる画素の付加容量 C_s が容量的に制約を受けることになる。

本発明は、上述の点に鑑み、走査回路部における薄膜トランジスタの入力容量を小さくし、しかも、画素の付加容量を大きくして、駆動電力の低減化と液晶セルの電圧保持を可能にした液晶表示装置を提供するものである。

〔課題を解決するための手段〕

本発明は、薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、各

画素基板(5)及び(14)間に液晶層(15)が封入されて形成される。

付加容量 C_s は図示せざるも、薄膜トランジスタ(2)のチャンネルを構成する第1層目の多結晶シリコン膜と選択線(4)と共用するゲート電極(8)(第5図では隣りの選択線(4))を構成する第2層目の多結晶シリコン膜を両電極とし、その間の絶縁膜(一般的には薄膜トランジスタ(2)のゲート絶縁膜(7)と同じ絶縁膜)を誘電体膜として構成される。この付加容量 C_s は液晶セル(1)に印加される電圧を保持するのが目的であるために、出来るだけ容量は大きい方がよい。

一方、多結晶シリコン膜による薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置では、透明画素電極(11)及びスイッチング用薄膜トランジスタ(2)が形成された同一の基板(5)上に水平及び垂直の走査回路を一体に形成することが一般的に行われている。

〔発明が解決しようとする課題〕

画素の付加容量 C_s を、薄膜トランジスタ(2)(23)のチャンネルを構成する薄膜とゲート電極(8)を構成する薄膜を両電極(25)及び(27)として、この両電極(26)及び(27)間に薄膜トランジスタのゲート絶縁膜(7)より薄い誘電体膜(26)を有して単位面積当りの容量が薄膜トランジスタの単位面積当りのゲート容量より大となるように構成する。

〔作用〕

本発明の構成によれば、各画素の付加容量 C_s としては薄膜トランジスタ(2)(23)のゲート絶縁膜(7)より薄い誘電体膜(26)を有して構成されるので、容量の大きい付加容量が得られ、液晶セルに印加される電圧が確実に保持される。

一方、薄膜トランジスタ(23)ではそのゲート絶縁膜(7)を付加容量 C_s の誘電体膜(26)より厚く形成されるので、ゲート容量が小さい薄膜トランジスタ(23)が得られ、走査回路部における入力容量が低減され、駆動電力の低減が図れる。

特開平3-280018 (3)

【実施例】

以下、図面を参照して本発明によるアクティブマトリックス方式の液晶表示装置の実施例を説明する。

第1図は、本発明に係るアクティブマトリックス方式の液晶表示装置の要部、即ち同一の基板上に透明画素電極、スイッチング用薄膜トランジスタ、付加容量、走査回路部等が集積された所謂アクティブマトリックス基板を示す一例である。

第1図において、(5)はガラス等からなる透明の絶縁基板を示し、この基板(5)上に画素形成部(21)においてスイッチング用薄膜トランジスタ(2)、付加容量Cs及び図示せざるも透明画素電極が形成されると共に、周辺の走査回路形成部(22)において走査回路部を構成する薄膜トランジスタ(23)が形成されて成る。しかして、スイッチング用薄膜トランジスタ(2)は基板(5)上にチャンネル及びソース領域(6S)、ドレイン領域(6D)を構成する第1層目の多結晶シリコン膜(24)を有し、その上に所要の膜厚 t_1 のゲート絶縁膜(7)を介して第2層目の多

結晶シリコン膜によるゲート電極(8)（ここでは選択線(4)と共用している）を形成して構成する。付加容量Csは薄膜トランジスタ(2)のドレイン領域(6D)と連続するように之と一体に形成した多結晶シリコン膜を一方の電極(25)として、この電極(25)上に薄膜トランジスタ(2)のゲート絶縁膜(7)より薄い膜厚 t_2 (< t_1) の誘電体膜(26)を介してゲート電極(8)を構成する第2層目の多結晶シリコン膜からなる他方の電極(27)を形成して構成する。本例では、他方の電極(27)は垂直方向に関する隣りの選択線（ゲート電極）に対応している。

一方、走査回路部を構成する薄膜トランジスタ(23)は、スイッチング用薄膜トランジスタ(2)と同一に構成するもので、図示のようにチャンネル及びソース領域(6S)、ドレイン領域(6D)を構成する第1層目の多結晶シリコン膜(24)上にスイッチング用薄膜トランジスタ(2)と同一の膜厚 t_1 のゲート絶縁膜(7)を介して第2層目の多結晶シリコン膜によるゲート電極(8)を形成して構成する。このようにしてアクティブマトリックス基板(29)を構成

する。この後は、通常のようにこのアクティブマトリックス基板(29)に対向して第6図で示すと同じように光遮蔽層、対向電極を有するもう一方のガラス等からなる透明の絶縁基板を配し、その間に液晶層を封入して液晶表示装置を構成する。

次に、かかるアクティブマトリックス基板(29)の製法例を第2図～第4図に示す。

第2図の例は、先ず第2図Aに示すように、ガラス等の絶縁基板(5)上に第1の多結晶シリコン膜を形成し、之をパターニングして画素形成部(21)においてスイッチング用薄膜トランジスタのチャンネルと付加容量の一方の電極となる互に連続した共通の多結晶シリコン膜(24₁)を形成し、周辺部において走査回路部の薄膜トランジスタのチャンネルを構成する多結晶シリコン膜(24₂)を形成する。そして、両多結晶シリコン膜(24₁)及び(24₂)上に、ゲート絶縁膜となる所要の膜厚 t_1 のSiO₂膜(32)を被着形成する。次に、第2図Bに示すように、レジストマスク(33)を介して付加容量に対応する部分のSiO₂膜(32)を一部選択エッチ

ングしてSiO₂膜(32)よりなるゲート絶縁膜(7)の膜厚 t_1 より薄い膜厚 t_2 のSiO₂膜(32)よりなる誘電体膜(26)を形成する。次いでレジストマスク(33)をそのままにして誘電体膜(26)直下の多結晶シリコン膜(30)に例えばAs⁺(35)を選択的にイオン注入して付加容量の一方の電極(25)を形成する。次に、第2図Cに示すように、レジストマスク(33)を除去した後、全面に第2の多結晶シリコン膜(34)を形成する。次に、第2図Dに示すように第2の多結晶シリコン膜(34)をパターニングして、付加容量の他方の電極(27)と、スイッチング用の薄膜トランジスタ(2)のゲート電極(8)と、走査回路部の薄膜トランジスタ(23)のゲート電極(8)を形成する。次に、これら他方の電極(27)、両ゲート電極(8)をマスクとして例えばAs⁺(36)をイオン注入してスイッチング用の薄膜トランジスタ(2)のソース領域(6S)及びドレイン領域(6D)を形成すると共に、走査回路部の薄膜トランジスタ(23)のソース領域(6S)及びドレイン領域(6D)を形成する。

これによって、同一の膜厚 t_1 のゲート絶縁膜

特開平3-280018 (4)

(7)を有したスイッチング用薄膜トランジスタ(2)及び走査回路部の薄膜トランジスタ(23)と、ゲート絶縁膜(7)より薄い膜厚 t_1 の誘電体膜(26)と之を挟む多結晶シリコン膜による両電極(25)及び(27)とからなる付加容量 C_s が形成された目的のアクティブマトリックス基板(29)が得られる。

第3図の例は、先ず第3図Aに示すように基板(5)上に第2図と同様に多結晶シリコン膜(24₁)及び(24₂)を形成した後、両多結晶シリコン膜(24₁)及び(24₂)上にゲート絶縁膜となる所要の膜厚 t_1 の3層構造の絶縁膜即ち SiO_2 膜(38)、 Si_3N_4 膜(39)及び SiO_2 膜(40)を被着形成する。次に、第3図Bに示すように、レジストマスク(33)を介して付加容量に対応する部分の例えば3層目の SiO_2 膜(40)のみを選択的にエッチング除去して3層構造によるゲート絶縁膜(7)の膜厚 t_1 より薄い膜厚 t_2 の SiO_2 膜(38)と Si_3N_4 膜(39)の2層構造による誘電体膜(26)を形成する。次いで誘電体膜(26)直下の多結晶シリコン膜に例えば As^+ (35)をイオン注入して付加容量の一方の電極(25)を形成する。次

に、第3図Cに示すように、レジストマスク(33)を除去した後、全面に第2の多結晶シリコン膜(34)を形成する。次に、第3図Dに示すように第2の多結晶シリコン膜(34)をパターンニングして付加容量の他方の電極(27)と、スイッチング用の薄膜トランジスタ(2)のゲート電極(8)と、走査回路部の薄膜トランジスタのゲート電極(9)を形成する。そして、これら電極(27)及び両ゲート電極(8)をマスクとして例えば As^+ (36)をイオン注入してスイッチング用薄膜トランジスタ(2)のソース領域(6S)及びドレイン領域(6D)を形成すると共に、走査回路部の薄膜トランジスタ(23)のソース領域(6S)及びドレイン領域(6D)を形成する。

この製法においても膜厚 t_1 のゲート絶縁膜(8)を有するスイッチング用薄膜トランジスタ(2)及び走査回路部の薄膜トランジスタ(23)と、また、ゲート絶縁膜(7)より薄い誘電体膜(26)を有する付加容量 C_s が形成されたアクティブマトリックス基板(29)が得られる。

第4図の例は、先ず第4図A及びBに示すよう

に、基板(5)上に上例と同じように多結晶シリコン膜(24₁)及び(24₂)を形成し、両多結晶シリコン膜(24₁)及び(24₂)上に全面均一にゲート絶縁膜となる所要の膜厚の SiO_2 膜(42)を形成する。そして、レジストマスク(33)を介して付加容量に対応する部分の SiO_2 膜(42)を選択エッチングして薄くし、その薄い SiO_2 膜(42)直下に例えば As^+ (35)をイオン注入して付加容量の一方の電極(25)を形成する。次に、第4図Cに示すように SiO_2 膜(42)上に順次 Si_3N_4 膜(43)及び SiO_2 膜(44)を被着形成する。これによって3層構造による膜厚 t_1 のゲート絶縁膜(7)が形成されると共に、同じ3層構造であるもゲート絶縁膜(7)より薄い膜厚 t_2 の誘電体膜(26)が形成される。そして、この上に全面に第2の多結晶シリコン膜(34)を形成する。次いで、第4図Dに示すように、第2の多結晶シリコン膜(34)をパターンニングし、付加容量 C_s の他方の電極(27)と、スイッチング用の薄膜トランジスタ(2)のゲート電極(8)と、走査回路部の薄膜トランジスタ(23)のゲート電極(9)を形成する。次で、 As^+ (36)

をイオン注入してスイッチング用薄膜トランジスタ(2)のソース領域(6S)及びドレイン領域(6D)を形成すると共に、走査回路部の薄膜トランジスタ(23)のソース領域(6S)及びドレイン領域(6D)を形成する。この製法においても膜厚 t_1 のゲート絶縁膜(8)を有するスイッチング用薄膜トランジスタ(2)及び走査回路部の薄膜トランジスタ(23)と、薄い膜厚 t_2 の誘電体膜(26)を有する付加容量 C_s が形成された目的のアクティブマトリックス基板(29)が得られる。

上述の構成の液晶表示装置によれば、そのアクティブマトリックス基板において、水平と垂直の走査回路を構成する薄膜トランジスタ(23)では所要の膜厚 t_1 のゲート絶縁膜(7)を形成することによって、ゲート容量即ち入力容量を小さくすることができ、駆動電力を小さくすることができる。

一方、画素部の付加容量 C_s では、薄膜トランジスタ(23)(2)と同一の工程で形成するも、誘電体膜(26)がゲート絶縁膜(7)より薄いことによって、単位面積当りの容量がゲート容量のそれより大きく

なり、従って容量値の大きな付加容量 C_3 が得られ、液晶セルに印加される電圧の保持が確実になり、結果として画質向上が図れる。

ジスタ、Csは付加容量、(23)は走査回路部を構成する薄膜トランジスタ、(7)はゲート絶縁膜、(25)(27)は付加容量の電極、(26)は誘電体膜である。

本発明に係る液晶表示装置によれば、走査回路部の入力容量を小さくし、画素部の付加容量を大きくすることができる。従って、駆動電力を低減できると共に、液晶セルの電圧保持を確実にしたアクティブマトリックス方式の液晶表示装置を得ることができる。

代理人 松隈秀盛

第1図は本発明によるアクティブマトリックス方式の液晶表示装置の要部（アクティブマトリックス基板）を示す断面図、第2図～第4図は夫々、本発明に係るアクティブマトリックス基板の製法例を示す製造工程図、第5図はアクティブマトリックス方式の液晶表示装置の1画素の等価回路図、第6図は1画素の断面図である。

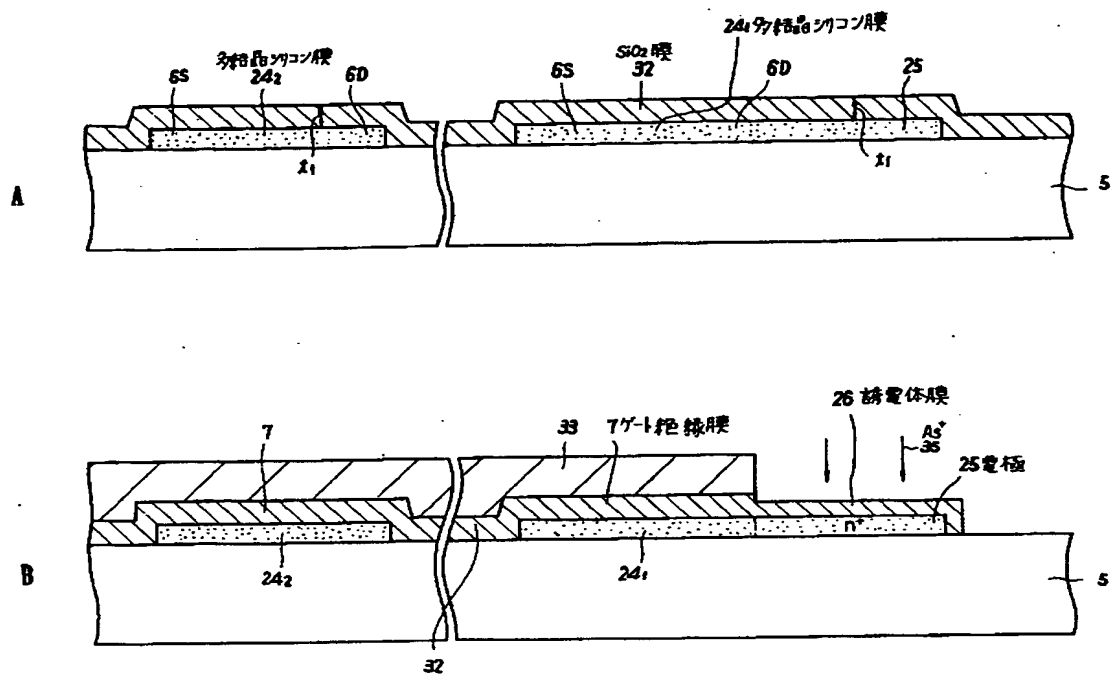
Figure 1 is a cross-sectional view of the semiconductor device. The device is divided into two main sections: (22) 走査回路形成部 (Scan Circuit Formation Part) on the left and (21) 画素形成部 (Pixel Formation Part) on the right. Both sections are built on a substrate (5). In the scan circuit section (22), there is a thin film transistor (2) with a gate electrode (8) and a gate insulating film (7). A source region (6S) and a drain region (6D) are formed. A channel length (L1) is indicated. In the pixel section (21), there is a thin film transistor (23) with a gate electrode (8) and a gate insulating film (7). A source region (6S) and a drain region (6D) are formed. A channel length (L1) is indicated. A pixel electrode (25) is formed on the drain region. A pixel insulating film (26) is formed on the pixel electrode. A pixel contact (27) is formed on the pixel insulating film. A pixel capacitance (Cs) is formed on the pixel contact. A channel length (L2) is indicated. The device is also labeled with 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.

5…基板
6D…ドレイン領域
6S…ソース領域
7…ゲート絶縁膜
8…ゲート電極
2…スイッチング用薄膜トランジスタ
22…走査回路形成部

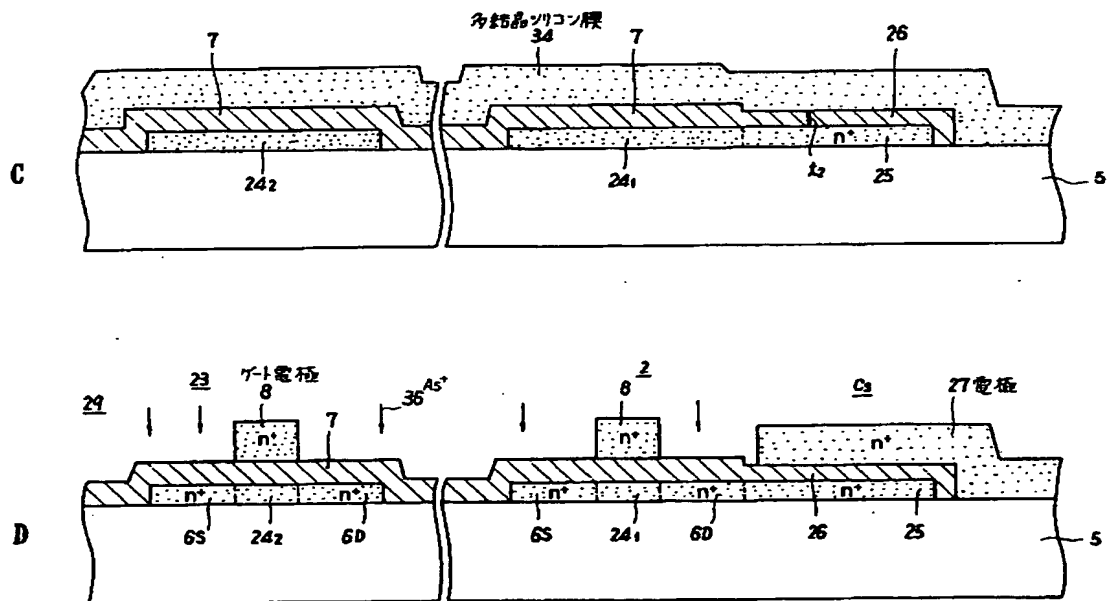
23…薄膜トランジスタ
24…多結晶シリコン膜
25…電極
26…誘電体膜
27…電極
Cs…付加容量

第 1 区

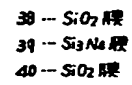
特開平3-280018 (6)



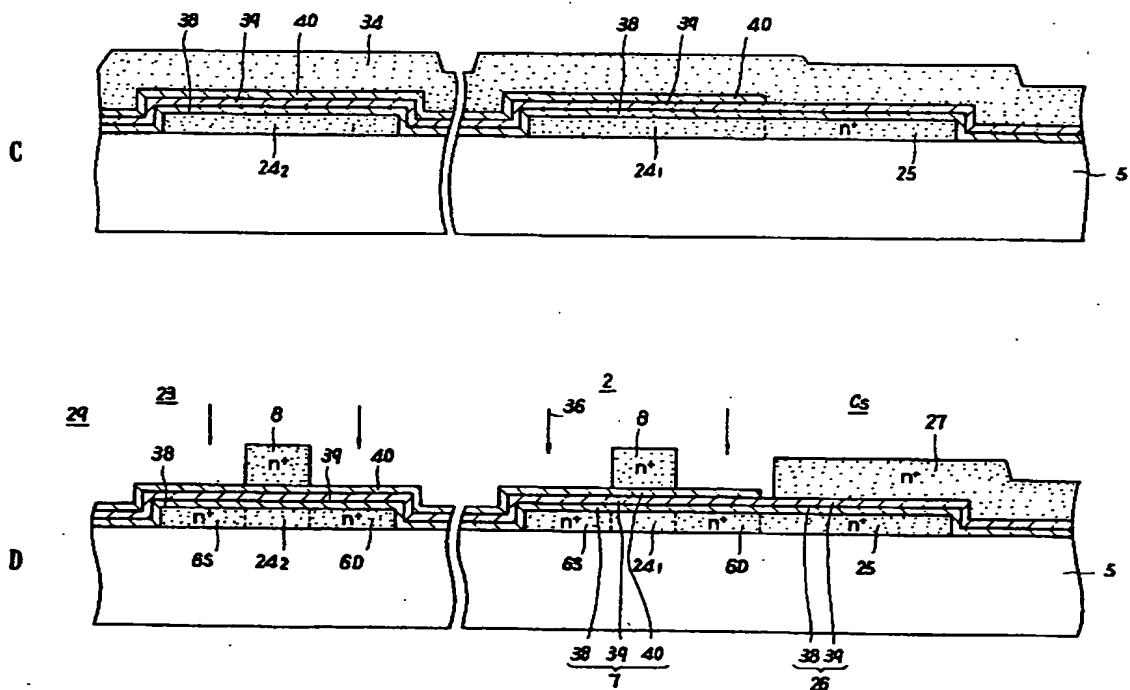
第2図(その1)

図1の実施例を示す工程図(その2)
第2図

特開平3-280018(7)



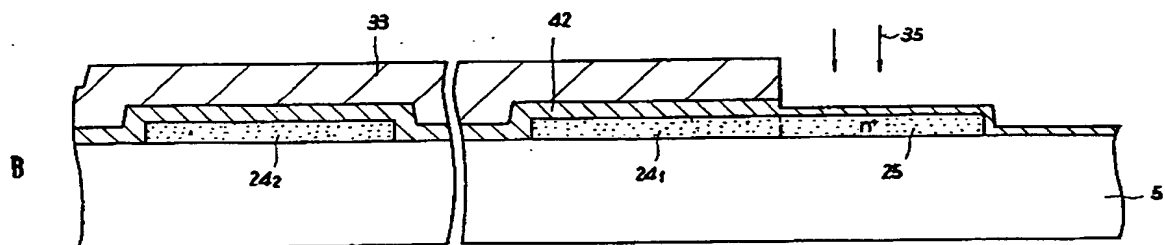
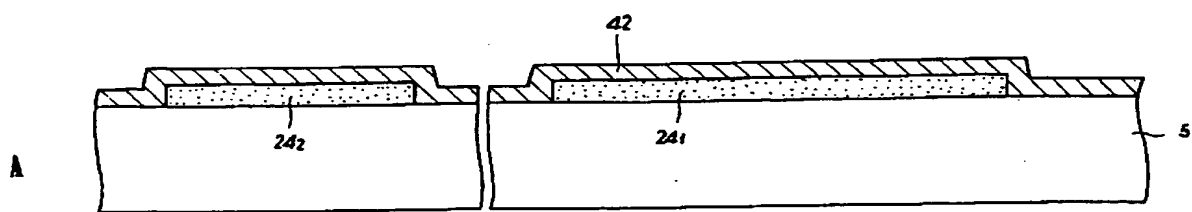
第 3 図 (その 1)



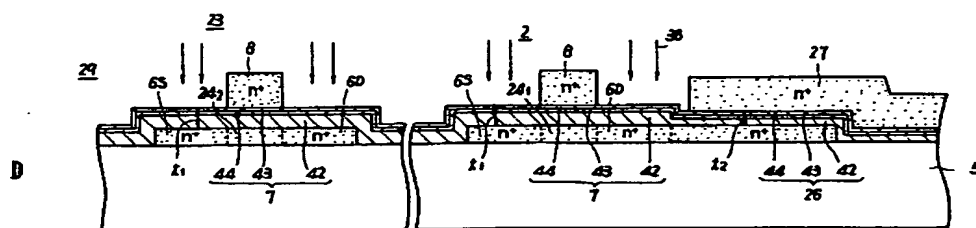
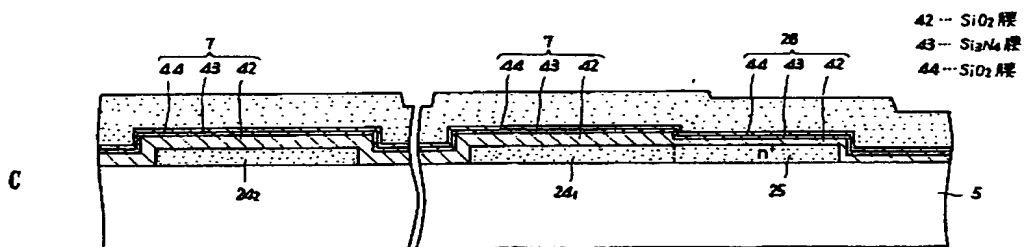
製法の第2実施例を示す工程図

第 3 図 (その 2)

特開平3-280018 (8)



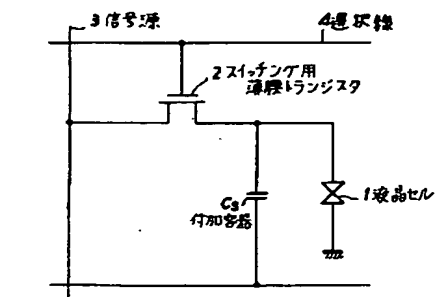
第 4 区 (その 1)



最法の第3実施例を示す工程図

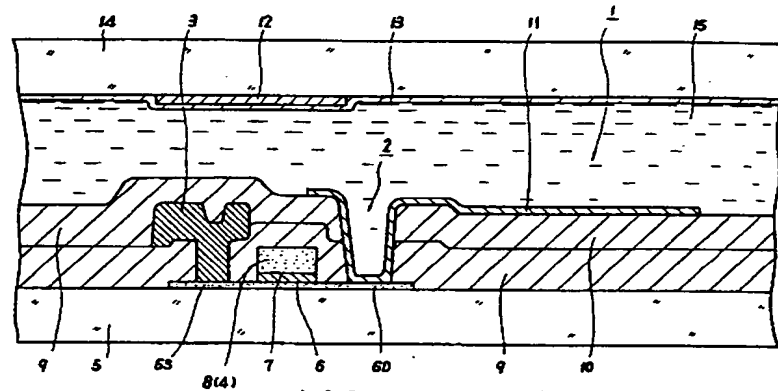
第 4 区 (その2)

特開平3-280018 (9)



液晶表示装置の1画素の等価回路図
第5図

- | | |
|------------------|---------|
| 5…基板 | 12…光遮層 |
| 6…多結晶シリコン膜 | 13…対向電極 |
| 7…ゲート絶縁膜 | 14…基板 |
| 8…ゲート電極(多結晶シリコン) | 15…液晶層 |
| 9,10…絶縁膜 | |
| 11…透明色電極 | |
| 60…ドレイン電極 | |
| 63…ソース領域 | |



液晶表示装置の1画素の断面図
第6図

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平3-126921
(43)【公開日】平成3年(1991)5月30日
(54)【発明の名称】液晶表示装置
(51)【国際特許分類第5版】
G02F 1/136 500
H01L 29/784
【審査請求】＊
【全頁数】6
(21)【出願番号】特願平1-265757
(22)【出願日】平成1年(1989)10月12日
(71)【出願人】
【識別番号】999999999
【氏名又は名称】ソニー株式会社
【住所又は居所】＊
(72)【発明者】
【氏名】林久雄
【住所又は居所】＊
(72)【発明者】
【氏名】吉田和好
【住所又は居所】＊

(57)【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

絵素に対応してマトリックス配列された複数の透明表示電極の夫々にスイッチング用の薄膜トランジスタが接続されてなる液晶表示装置において、前記透明表示電極の前記薄膜トランジスタとのコンタクト部が２層構造とされ、

前記透明表示電極の他の部分が一層で形成されて成る液晶表示装置。

Patent Laid-Open Number: 3-280018/1991
Laid-Open Date: December 11, 1991
Application Number: 2-81707/1990
Application Date: March 29, 1990
IPC: G 02 F 1/136
H 01 L 27/04
29/784
Request for Examination: Not made
Inventor: H. Hayashi
Applicant: Sony Corp.
Title of the Invention: LIQUID CRYSTAL DISPLAY DEVICE

Specification

Title of the Invention

LIQUID CRYSTAL DISPLAY DEVICE

Claim

In an active matrix liquid crystal display device using thin film transistors,
an additional capacitor of each pixel is arranged so as to have a thin film forming a channel of said thin film transistor and a thin film forming a gate electrode made as both electrodes, and a dielectric film thinner than a gate insulation film of said thin film transistor between both the electrodes, and to provide a capacitance per unit area as being larger than a gate capacitance per unit area of the thin film transistor.

Detailed Description of the Invention

[Technical Field to which the Invention Belongs]

The present invention relates to an active matrix liquid crystal display device using thin film transistors.

[Overview of the Invention]

The invention, in an active matrix liquid crystal display device using thin film transistors, provides an arrangement of an additional capacitor of each pixel so that the capacitance per unit area thereof is provided as being larger than gate capacitance per unit area of the thin film transistor, with a dielectric film of the additional capacitor made thinner than a gate insulation film of the thin film transistor. This allows to ensure keeping of a voltage applied to a liquid crystal cell, and along with this, reduces input capacitance in each scanning circuit section arranged with a thin film transistor to lower driving power thereof.

[Prior Art]

An arrangement of a pixel in an active matrix liquid crystal display device is provided as shown in an equivalent circuit in Fig. 5, in which a liquid crystal cell (1) is provided with a switching thin film transistor (2) and an additional capacitor C's, with a source of the thin film transistor (2) connected to a signal line (3), a drain connected to a transparent pixel electrode of the liquid crystal cell (1), and a gate connected to a selection line (4). A specific structure is presented as shown in Fig. 6, in which there is formed on a transparent insulating substrate (5) of such a material as glass a polycrystalline silicon film (6) of a first layer forming a channel of a switching thin film transistor (2). On the polycrystalline silicon film (6), there is formed a gate electrode (8) of a polycrystalline silicon film of a second layer with a gate insulation film (7) put between them. A source region (6S) and a drain region (6D) are formed with a gate section between them. The gate electrode (8) shares its operation with the selection line (4). A first insulation film (9) is formed over the whole surface so as to cover the gate electrode (8). Through a contact hole of the first insulation film (9), the signal line (3) of Al, for example, is connected to the source region (6S). Furthermore, a second insulation film (10) is deposited to be formed over the whole surface. On the second insulation film (10), there is formed a transparent pixel electrode (11) of an ITO (indium tin oxide) film, for example, a part of which is connected to the drain region (6D) of the thin film transistor (2) through a contact hole

formed throughout the first and second insulation films (9) and (10), respectively. Moreover, the other transparent insulation substrate (14) of material such as glass is arranged opposite to the insulation substrate (5). Inside the transparent insulation substrate (14), there are formed a light shielding layer (12) at positions corresponding to an interconnection section (the section where there are selection line (4), the signal line (3), and the like) and the thin film transistor (2), and there is formed an opposite electrode (13) on the whole surface including the light shielding layer (12). Furthermore, a liquid crystal layer (15) is sealed in between the both of the substrates (5) and (14) to form a pixel.

The additional capacitor C_s , although not shown, is formed with the polycrystalline silicon film of the first layer forming the channel of the thin film transistor (2) and the polycrystalline silicon film forming the gate electrode (8) sharing its operation with the selection line (4) (in Fig. 5, the selection line (4) provided around) made as both electrodes, and with an insulation film (generally an insulation film the same as the gate insulation film (7) of the thin film transistor (2)) between the electrodes made as a dielectric film. The additional capacitor C_s preferably has the largest possible capacitance because of its purpose of keeping the voltage applied to the liquid crystal cell (1).

Meanwhile, in an active matrix liquid crystal display device using thin film transistors of polycrystalline silicon films, it is generally carried out that each horizontal scanning circuit and each vertical scanning circuit are integrally formed on the same substrate (5) on which the transparent pixel electrode (11) and the switching thin film transistor (2) are formed.

[Problems that the Invention is to Solve]

In the active matrix liquid crystal display device with the scanning circuit sections formed on the same substrate (5), the switching transistor (2) and the scanning circuit sections are formed with the same thin film transistors. Here, the scanning circuit section, being an inputting section of an external signal, preferably has smaller input capacitance of the transistor (gate capacitance) for making driving power preferably smaller. The thin

film transistor, however, when formed so that the input capacitance is made smaller, imposes restriction on the capacitance of the additional capacitor C_s of the pixel formed in the same process that forms the thin film transistor.

In view of the foregoing, the present invention is to provide a liquid crystal display device in which input capacitance of a thin film transistor in the scanning circuit section is made small, yet capacitance of an additional capacitor of a pixel is made large to make it possible to reduce driving power and to keep a voltage of a liquid crystal cell.

[Means for Solving the Problems]

The present invention, in an active matrix liquid crystal display device using thin film transistors, arranges an additional capacitor C_s of each pixel so as to have a thin film forming a channel of the thin film transistor (2) or (23) and a thin film forming a gate electrode (8) thereof made as both electrodes, and a dielectric film (26) thinner than a gate insulation film (7) of the thin film transistor between both the electrodes (25) and (27), and to provide a capacitance per unit area as being larger than a gate capacitance of unit area of the thin film transistor.

[Operation]

According to the arrangement in the invention, the additional capacitor C_s of each pixel, being arranged with the dielectric film (26) thinner than the gate insulation film (7) of the thin film transistor (2) or (23), is allowed to have the additional capacitor with large capacitance, which can surely keep the voltage applied to the liquid crystal cell.

While, in the thin film transistor (23), the gate insulation film (23) thereof, being formed as being thicker than the dielectric film (26) of the additional capacitor C_s , allows the thin film transistor (23) to be obtained with small gate capacitance, which reduces the input capacitance in the scanning circuit section to reduce the driving power.

[Examples]

In the following, examples of the active matrix liquid crystal display device according to the invention will be explained with reference to the drawings.

Figure 1. is an example showing a principal part of the active matrix liquid crystal display device according to the invention, namely, a so-called active matrix substrate in which a transparent pixel electrode, a switching thin film transistor, an additional capacitor, a scanning circuit section, and the like are integrated on the same substrate.

In Fig. 1, reference numeral (5) denotes an insulation substrate of glass and the like. On the substrate (5), in a pixel forming section (21), there are formed a switching thin film transistor (2), an additional capacitor Cs, and, although not shown, a transparent pixel electrode. Along with this, in a scanning circuit forming section (22) on the periphery, there is formed a thin film transistor (23) forming a scanning circuit section. Moreover, the switching thin film transistor (2) is arranged to have on the substrate (5) a polycrystalline silicon film (24) of a first layer, on which a gate electrode (8) of a polycrystalline silicon film of a second layer (here, it shares operation with a selection line (4)) is formed with a gate insulation film (7) put between them. The polycrystalline silicon film (24) forms a channel, a source region (6S), and a drain region (6D), and the gate insulation film (7) has a specified film thickness t_1 . The additional capacitor Cs is arranged by providing a polycrystalline silicon film as one electrode (25), on which the other electrode (27) is formed with a dielectric film (26) put between them. The polycrystalline silicon film as the one electrode (25) is integrally formed with the drain region (6D) of the thin film transistor (2) so as to be continuous therewith, the dielectric film (26) has a film thickness t_2 ($< t_1$) thinner than that of the gate insulation film (7) of the thin film transistor (2), and the other electrode (27) is made of a polycrystalline silicon film of the second layer forming the gate electrode (8). In the example, the other electrode corresponds to the selection line (gate electrode) on the periphery relating to the vertical direction.

Meanwhile, the thin film transistor (23) forming the scanning circuit section is formed to be identical with the switching thin film transistor (2), which is arranged as

shown in the figure by forming on the polycrystalline silicon film (24) of the first layer the gate electrode (8) of a polycrystalline silicon film of the second layer, with the gate insulation film (7) put between them. The polycrystalline silicon film (24) forms a channel, a source region (6S), and a drain region (6D), and the gate insulation film (7) has the same film thickness t_1 as that of the switching thin film transistor (2). Thus, an active matrix substrate (29) is arranged. Thereafter, as is normally carried out, there is disposed opposite to the active matrix substrate (29) the other transparent insulation substrate of material such as glass having a light shielding layer and an opposite electrode in the same way as that shown in Fig. 6 with a liquid crystal layer sealed between the both substrates to arrange the liquid crystal display device.

Next, examples of manufacturing such active matrix substrate (29) will be shown from Fig. 2 to Fig. 4.

In the example shown in Fig. 2, as shown in Fig. 2A, the first polycrystalline silicon film is first formed on the insulation substrate of material such as glass. The formed first polycrystalline silicon film is then patterned to form a common polycrystalline silicon film (24₁) which is to become the channel of the switching thin film transistor and the one electrode of the additional capacitor in connection with each other, and to form a polycrystalline silicon film (24₂) forming the channel of the thin film transistor of the scanning circuit section on the periphery. Furthermore, on both of the polycrystalline silicon films (24₁) and (24₂), an SiO₂ film (32) with a specified film thickness t_1 is deposited which is to become a gate insulation film. Next, as shown in Fig. 2B, a part of the SiO₂ film (32) in a part corresponding to the additional capacitor is subjected to selective etching through a resist mask (33) to form the dielectric film (26) of the SiO₂ film (32) with a film thickness t_2 thinner than the film thickness t_1 of the gate insulation film (7) of the SiO₂ film (32). Subsequent to this, with the resist mask (33) left as provided, ion implantation with As⁺ (35), for example, is selectively carried out onto a polycrystalline silicon film (30) directly under the dielectric film (26) to form the one electrode (25) of the additional capacitor. Following this, as shown in Fig. 2C, after the resist mask (33) has been

removed, a second polycrystalline silicon film (34) is formed over the whole surface. Then, as shown in Fig. 2D, the second polycrystalline silicon film (34) is patterned to form the other electrode (27) of the additional capacitor, the gate electrode (8) of the switching thin film transistor (2), and the gate electrode (8) of the thin film transistor (23) of the scanning circuit section. Next, with the other electrode (27) and both of the gate electrodes (8) made as masks, ion implantation with As^+ (36), for example, is carried out to form the source region (6S) and the drain region (6D) of the switching thin film transistor (2). Along with this, there are formed the source region (6S) and the drain region (6D) of the thin film transistor (23) in the scanning circuit section.

This allows to obtain the targeted active matrix substrate (29) formed with the switching thin film transistor (2) and the thin film transistor (23) of the scanning circuit section both having the gate insulation films (7) with the same thickness t_1 , and the additional capacitor Cs including the dielectric film (26) with the film thickness t_2 thinner than the gate insulation film (7) and the electrodes (25) and (27) of polycrystalline silicon films both putting the dielectric film (26) between them.

In the example in Fig. 3, as shown in Fig. 3A, the polycrystalline silicon films (24_1) and (24_2) are first formed on the substrate (5) like in Fig. 2 before depositing on both of the polycrystalline silicon films (24_1) and (24_2) an insulation film with a three layer structure, that is, an SiO_2 film (38), an Si_3N_4 film (39), and an SiO_2 film (40), with the specified film thickness t_1 , which is to become the gate insulation film. Next, as shown in Fig. 3B, only the SiO_2 film (40) in the third layer in a part corresponding to the additional capacitor is selectively removed by etching through the resist mask (33) to form the dielectric film (26) with a two layer structure of the SiO_2 film (38) and the Si_3N_4 film (39) with a film thickness t_2 thinner than the film thickness t_1 of the gate insulation film (7) with the three layer structure. Subsequent to this, ion implantation with As^+ (35), for example, is carried out onto the polycrystalline silicon film directly under the dielectric film (26) to form the one electrode (25) of the additional capacitor. Following this, as shown in Fig. 3C, after the resist mask (33) has been removed, the second polycrystalline silicon film (34) is formed

over the whole surface. Then, as shown in Fig. 3D, the second polycrystalline silicon film (34) is patterned to form the other electrode (27) of the additional capacitor, the gate electrode (8) of the switching thin film transistor (2), and the gate electrode (8) of the thin film transistor of the scanning circuit section. Moreover, with the electrode (27) and both of the gate electrodes (8) made as masks, ion implantation with As^+ (36), for example, is carried out to form the source region (6S) and the drain region (6D) of the switching thin film transistor (2). Along with this, there are formed the source region (6S) and the drain region (6D) of the thin film transistor (23) in the scanning circuit section.

Also in this way of manufacturing, the active matrix substrate (29) is obtained which is formed with the switching thin film transistor (2) and the thin film transistor (23) of the scanning circuit section both having the gate insulation films (7) with the thickness t_1 , and the additional capacitor Cs having the dielectric film (26) thinner than the gate insulation film (7).

In the example in Fig. 4, as shown in Figs. 4A and 4B, the polycrystalline silicon films (24₁) and (24₂) are first formed on the substrate (5) like in the above examples. Then, on both of the polycrystalline silicon films (24₁) and (24₂), an SiO_2 film (42) with the specified film thickness t_1 , which is to become the gate insulation film, is uniformly formed over the whole surface. Moreover, the SiO_2 film (42) in a part corresponding to the additional capacitor is subjected to selective etching through the resist mask (33) to be thinned. Then, ion implantation with As^+ (35), for example, is carried out onto a part directly under the thinned SiO_2 film (42) to form the one electrode (25) of the additional capacitor. Subsequent to this, as shown in Fig. 4C, an Si_3N_4 film (43) and an SiO_2 film (44) are deposited in order on the SiO_2 film (42). In this way, the gate insulation film (7) with the film thickness t_1 having three-layer structure is formed. Along with this, although being with the same three layer structure, there is formed the dielectric film (26) with the film thickness t_2 thinner than that of the gate insulation film (7). Furthermore, on the above structure, the second polycrystalline silicon film (34) is formed over the whole surface. Then, as shown in Fig. 4D, the second polycrystalline silicon film (34) is

patterned to form the other electrode (27) of the additional capacitor C's, the gate electrode (8) of the switching thin film transistor (2), and the gate electrode (8) of the thin film transistor (23) in the scanning circuit section. Subsequent to this, ion implantation with As^+ (36), for example, is carried out to form the source region (6S) and the drain region (6D) of the switching thin film transistor (2). Along with this, there are formed the source region (6S) and the drain region (6D) of the thin film transistor (23) in the scanning circuit section. Also in this way of manufacturing, the targeted active matrix substrate (29) is obtained which is formed with the switching thin film transistor (2) and the thin film transistor (23) of the scanning circuit section both having the gate insulation films (8) with the thickness t_1 , and the additional capacitor C's having the dielectric film (26) with the thin film thickness t_2 .

According to the liquid crystal display device arranged as explained the above, in the active matrix substrate thereof, the gate insulation film (7) with the specified film thickness t_1 is formed in each of the thin film transistors (23) forming horizontal and vertical scanning circuits. This can reduce the gate capacitance, that is, the input capacitance to allow to reduce driving power.

Meanwhile, in the additional capacitor C's in the pixel section, although it is formed in the same process that forms the thin film transistors (23) and (2), the dielectric film (26) is thinner than the gate insulation film (7) to thereby make the capacitance per unit area thereof larger than the that of a gate capacitance. Therefore, the additional capacitor C's can be obtained with a large capacitance value to ensure keeping of the voltage applied to the liquid crystal cell with resulting improvement in image quality.

[Advantage of the Invention]

According to the liquid crystal display device in the present invention, it is possible to make the input capacitance of the scanning circuit section small and the additional capacitance in the pixel section large. Therefore, it is possible to obtain an active matrix liquid crystal display device by which driving power can be reduced and, along with this,

keeping of the voltage applied to the liquid crystal cell is made ensured.

Brief Description of the Drawings

Figure 1 is a cross sectional view showing a principal part (an active matrix substrate) of an active matrix liquid crystal display device according to the invention, Figure 2 to Figure 4 are manufacturing process diagrams respectively showing examples of manufacturing active matrix substrates according to the invention, Figure 5 is a diagram of an equivalent circuit of one pixel in an active matrix liquid crystal display device, and Figure 6 is a cross sectional view of one pixel.

Reference numeral (1) denotes the liquid crystal cell, (2) the switching thin film transistor, Cs the additional capacitor, (23) the thin film transistor forming the scanning circuit section, (7) the gate insulation film, (25) and (27) the electrodes of the additional capacitor, and (26) the dielectric film.

Fig. 1

CROSS SECTIONAL VIEW OF THE PRINCIPAL PART SHOWING AN EXAMPLE OF THE LIQUID CRYSTAL DISPLAY DEVICE ACCORDING TO THE INVENTION

(21) PIXEL FORMING SECTION

(22) SCANNING CIRCUIT FORMING SECTION

5 ... SUBSTRATE

6D ... DRAIN REGION

6S ... SOURCE REGION

7 ... GATE INSULATION FILM

8 ... GATE ELECTRODE

2 ... SWITCHING THIN FILM TRANSISTOR

22 ... SCANNING CIRCUIT FORMING SECTION

23 ... THIN FILM TRANSISTOR

24 ... POLYCRYSTALLINE SILICON FILM

25 ... ELECTRODE

26 ... DIELECTRIC FILM

27 ... ELECTRODE

Cs ... ADDITIONAL CAPACITOR

Fig. 2 (1)

A

24₁ POLYCRYSTALLINE SILICON FILM

24₂ POLYCRYSTALLINE SILICON FILM

B

7 GATE INSULATION FILM

25 ELECTRODE

26 DIELECTRIC FILM

Fig. 2

PROCESS DIAGRAM SHIOWING FIRST EXAMPLE OF MANUFACTURING METHOD (1)

C

34 POLYCRYSTALLINE SILICON FILM

D

8 GATE ELECTRODE

27 ELECTRODE

Fig. 3 (1)

A

38 ... SiO₂ FILM

39 ... Si₃N₄ FILM

40 ... SiO₂ FILM

Fig. 3 (2)

PROCESS DIAGRAM SHOWING SECOND EXAMPLE OF MANUFACTURING METHOD

Fig. 4 (1)

Fig. 4 (2)

PROCESS DIAGRAM SHOWING THIRD EXAMPLE OF MANUFACTURING METHOD

C

42 ... SiO₂ FILM

43 ... Si_3N_4 FILM

44 ... SiO_2 FILM

Fig. 5

EQUIVALENT CIRCUIT DIAGRAM OF ONE PIXEL IN LIQUID CRYSTAL DISPLAY DEVICE

- 1 LIQUID CRYSTAL CELL
- 2 SWITCHING THIN FILM TRANSISTOR
- 3 SIGNAL LINE
- 4 SELECTION LINE
- Cs ADDITIONAL CAPACITOR

Fig. 6

CROSS SECTIONAL VIEW OF ONE PIXEL IN LIQUID CRYSTAL DISPLAY DEVICE

- 5 ... SUBSTRATE
- 6 ... POLYCRYSTALLINE SILICON FILM
- 7 ... GATE INSULATION FILM
- 8 ... GATE ELECTRODE
- 9, 10 ... INSULATION FILM
- 11 ... TRANSPARENT PIXEL ELECTRODE
- 6D ... DRAIN REGION
- 6S ... SOURCE REGION
- 12 ... LIGHT SHIELDING LAYER
- 13 ... OPPOSITE ELECTRODE
- 14 ... SUBSTRATE
- 15 ... LIQUID CRYSTALL LAYER